



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 8 日
Date of Application:

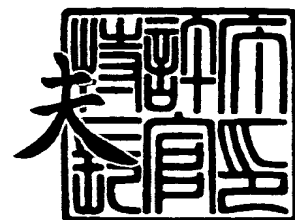
出 願 番 号 特 願 2 0 0 3 - 0 7 4 2 1 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 4 2 1 9]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 J0097429

【提出日】 平成15年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 青▲柳▼ 哲理

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100066980

【弁理士】

【氏名又は名称】 森 哲也

【選任した代理人】

【識別番号】 100075579

【弁理士】

【氏名又は名称】 内藤 嘉昭

【選任した代理人】

【識別番号】 100103850

【弁理士】

【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

【予納台帳番号】 001638

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 第 1 キャリア基板と、
前記第 1 キャリア基板上にフェースダウン実装された第 1 半導体チップと、
第 2 キャリア基板と、
前記第 2 キャリア基板上に搭載された第 2 半導体チップと、
前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極と、
前記第 2 半導体チップを封止する封止材と、
前記第 1 半導体チップの裏面が露出されるように、前記第 1 キャリア基板と前記第 2 キャリア基板との間に設けられた樹脂とを備えることを特徴とする半導体装置。

【請求項 2】 前記第 2 キャリア基板は前記第 1 半導体チップ上に跨るように、第 1 キャリア基板上に固定されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記封止材はモールド樹脂であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記封止材の側壁は前記第 2 キャリア基板の側壁の位置に一致していることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 5】 前記第 1 半導体チップは、圧接接合により前記第 1 キャリア基板上に接続されていることを特徴とする請求項 1 ～ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】 前記第 1 キャリア基板及び前記第 1 キャリア基板に搭載された第 1 半導体チップを含む半導体装置と、前記第 2 キャリア基板及び前記第 2 キャリア基板に搭載された第 2 半導体チップを含む半導体装置とは、等しい温度で弾性率が異なることを特徴とする請求項 1 ～ 5 のいずれか 1 項記載の半導体装置。

【請求項 7】 前記第 1 半導体チップが搭載された第 1 キャリア基板はフリップチップ実装されたボールグリッドアレイ、前記第 2 半導体チップが搭載された第 2 キャリア基板はモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項 1～6 のいずれか 1 項記載の半導体装置。

【請求項 8】 前記第 1 半導体チップは、前記第 1 キャリア基板上に並列に搭載された複数個の半導体チップであることを特徴とする請求項 1～7 のいずれか 1 項記載の半導体装置。

【請求項 9】 前記第 2 半導体チップは積層された複数個の半導体チップであることを特徴とする請求項 1～8 のいずれか 1 項記載の半導体装置。

【請求項 10】 前記第 2 半導体チップは、前記第 2 キャリア基板上に並列に搭載された複数個の半導体チップであることを特徴とする請求項 1～9 のいずれか 1 項記載の半導体装置。

【請求項 11】 キャリア基板と、
前記キャリア基板上にフェースダウン実装された第 1 半導体チップと、
電極パッドの形成面上に再配置配線層が形成された第 2 半導体チップと、
前記第 2 半導体チップが前記第 1 半導体チップ上に保持されるように、前記第 2 半導体チップと前記キャリア基板とを接続する突出電極とを備えることを特徴とする半導体装置。

【請求項 12】 第 1 キャリア基板と、
前記第 1 キャリア基板上に搭載された第 1 電子部品と、
第 2 キャリア基板と、
前記第 2 キャリア基板上に搭載された第 2 電子部品と、
前記第 2 キャリア基板が前記第 1 電子部品上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極と、
前記第 2 電子部品を封止する封止材と、
前記第 1 電子部品の裏面が露出されるように、前記第 1 キャリア基板と前記第 2 キャリア基板との間に設けられた樹脂とを備えることを特徴とする電子デバイス。

【請求項 13】 第 1 キャリア基板と、
前記第 1 キャリア基板上に搭載された第 1 半導体チップと、
第 2 キャリア基板と、
前記第 2 キャリア基板上に搭載された第 2 半導体チップと、
前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極と、
前記第 2 半導体チップを封止する封止材と、
前記第 1 半導体チップの裏面が露出されるように、前記第 1 キャリア基板と前記第 2 キャリア基板との間に設けられた樹脂と、
前記第 1 キャリア基板が実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項 14】 裏面が露出されるように第 1 半導体チップを第 1 キャリア基板上にフェースダウン実装する工程と、
第 2 キャリア基板上に第 2 半導体チップを実装する工程と、
前記第 2 半導体チップを封止樹脂で封止する工程と、
前記第 2 キャリア基板が前記第 1 半導体チップ上に離間して保持されるように、前記突出電極を介して前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 15】 前記第 2 半導体チップを前記封止樹脂で封止する工程は、
前記第 2 キャリア基板に実装された複数の第 2 半導体チップを封止樹脂で一体的にモールド成形する工程と、
前記封止樹脂によりモールド成形された前記第 2 キャリア基板を前記第 2 半導体チップごとに切断する工程とを備えることを特徴とする請求項 14 記載の半導体装置の製造方法。

【請求項 16】 裏面が露出されるように第 1 キャリア基板上に第 1 電子部品を実装する工程と、
第 2 キャリア基板上に第 2 電子部品を実装する工程と、
前記第 2 電子部品を封止樹脂で封止する工程と、
前記第 2 キャリア基板が前記第 1 電子部品上に離間して保持されるように、前

記突出電極を介して前記第2キャリア基板と前記第1キャリア基板とを接続する工程とを備えることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップ実装時の省スペース化を図るため、例えば、特許文献1に開示されているように、キャリア基板を介して半導体チップを3次元実装する方法がある。

【0003】

【特許文献1】

特開平10-284683号公報

【0004】

【発明が解決しようとする課題】

しかしながら、キャリア基板を介して半導体チップを3次元実装する方法では、熱放散性を確保しつつ、異種チップを積層することが困難であるという問題があった。

そこで、本発明の目的は、熱放散性を確保しつつ、異種チップの3次元実装構造を実現することが可能な半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

【0005】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第1キャリア基板と、前記第1キャリア基板上にフェースダウン実装された第1半導体チップと、第2キャリア基板と、前記第2キャリア基板上に搭載された第

2 半導体チップと、前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極と、前記第 2 半導体チップを封止する封止材と、前記第 1 半導体チップの裏面が露出されるように、前記第 1 キャリア基板と前記第 2 キャリア基板との間に設けられた樹脂とを備えることを特徴とする。

【0006】

これにより、第 1 キャリア基板上にフェースダウン実装された第 1 半導体チップの裏面が露出された状態で、パッケージの異なる第 2 半導体チップを第 1 半導体チップ上に積層することが可能となる。このため、第 2 キャリア基板を第 1 キャリア基板上に積層した場合においても、第 1 半導体チップの熱放散性を確保することが可能となるとともに、異種チップの 3 次元実装構造を実現することが可能となる。

【0007】

また、本発明の一態様に係る半導体装置によれば、前記第 2 キャリア基板は前記第 1 半導体チップ上に跨るように、第 1 キャリア基板上に固定されていることを特徴とする。

これにより、第 1 半導体チップと第 2 半導体チップとを重ねて配置することが可能となり、複数の半導体チップを実装する際の実装面積を低減させて、半導体チップ実装時の省スペース化を図ることが可能となる。

【0008】

また、本発明の一態様に係る半導体装置によれば、前記封止材はモールド樹脂であることを特徴とする。

これにより、第 2 キャリア基板を含む異種パッケージを第 1 キャリア基板上に積層させることが可能となり、半導体チップの種類が異なる場合においても、半導体チップの 3 次元実装構造を実現することが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記封止材の側壁は前記第 2 キャリア基板の側壁の位置に一致していることを特徴とする。

これにより、第 1 キャリア基板上に第 2 キャリア基板を積層した際の高さの増

大を抑制しつつ、第2半導体チップを封止する封止材で第2キャリア基板の一面全体を補強することが可能となるとともに、封止材のセル分割を行うことなく、第2半導体チップを封止することが可能となり、第2キャリア基板上に搭載される第2半導体チップの搭載面積を増大させることが可能となる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップは、圧接接合により前記第1キャリア基板上に接続されていることを特徴とする。

これにより、第1半導体チップを第1キャリア基板上に接続する際の低温化を図ることが可能となり、実際の使用時における第1キャリア基板の反りを低減することが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記第1キャリア基板及び前記第1キャリア基板に搭載された第1半導体チップを含む半導体装置と、前記第2キャリア基板及び前記第2キャリア基板に搭載された第2半導体チップを含む半導体装置とは、等しい温度で弾性率が異なることを特徴とする。

これにより、一方のキャリア基板で発生する反りを他方のキャリア基板で抑えることが可能となり、第1キャリア基板と第2キャリア基板との間の接続信頼性を向上させることが可能となる。

【0012】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップが搭載された第1キャリア基板はフリップチップ実装されたボールグリッドアレイ、前記第2半導体チップが搭載された第2キャリア基板はモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

これにより、3次元実装構造の高さの増大を抑制しつつ、異種パッケージを積層させることが可能となり、半導体チップの種類が異なる場合においても、半導体チップ実装時の省スペース化を図ることが可能となる。

【0013】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップは、前記第1キャリア基板上に並列に搭載された複数個の半導体チップであることを

特徴とする。

これにより、複数の第1半導体チップ上に第2半導体チップを重ねて配置することが可能となり、複数の半導体チップを実装する際の実装面積を低減させて、半導体チップ実装時の省スペース化を図ることが可能となる。

【0014】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップは積層された複数個の半導体チップであることを特徴とする。

これにより、種類またはサイズが異なる第2半導体チップを第1半導体チップ上に複数積層することが可能となり、様々の機能を持たせることを可能としつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

【0015】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップは、前記第2キャリア基板上に並列に搭載された複数個の半導体チップであることを特徴とする。

これにより、第2半導体チップ積層時の高さの増大を抑制しつつ、複数の第2半導体チップを第1半導体チップ上に配置することが可能となり、3次元実装時の接続信頼性の劣化を抑制しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

【0016】

また、本発明の一態様に係る半導体装置によれば、キャリア基板と、前記キャリア基板上にフェースダウン実装された第1半導体チップと、電極パッドの形成面上に再配置配線層が形成された第2半導体チップと、前記第2半導体チップが前記第1半導体チップ上に保持されるように、前記第2半導体チップと前記キャリア基板とを接続する突出電極とを備えることを特徴とする。

【0017】

これにより、半導体チップの種類またはサイズが異なる場合においても、第1半導体チップと第2半導体チップとの間にキャリア基板を介在させることなく、第1半導体チップの裏面を露出させた状態で、第1半導体チップ上に第2半導体チップが配置されるようにして、第2半導体チップをキャリア基板上にフリップ

チップ実装することが可能となる。

【0018】

このため、半導体チップ積層時の高さの増大を抑制しつつ、熱放散性を確保することが可能となり、3次元実装された半導体チップの信頼性の劣化を抑制しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る電子デバイスによれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1電子部品と、第2キャリア基板と、前記第2キャリア基板上に搭載された第2電子部品と、前記第2キャリア基板が前記第1電子部品上に保持されるように、前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極と、前記第2電子部品を封止する封止材と、前記第1電子部品の裏面が露出されるように、前記第1キャリア基板と前記第2キャリア基板との間に設けられた樹脂とを備えることを特徴とする。

【0019】

これにより、第1キャリア基板上にフェースダウン実装された第1電子部品の裏面が露出された状態で、パッケージングの異なる第2電子部品を第1電子部品上に積層することが可能となる。このため、第2キャリア基板を第1キャリア基板上に積層した場合においても、第1電子部品の熱放散性を確保することが可能となるとともに、異種部品の3次元実装構造を実現することが可能となる。

【0020】

また、本発明の一態様に係る電子機器によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと、第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2キャリア基板が前記第1半導体チップ上に保持されるように、前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極と、前記第2半導体チップを封止する封止材と、前記第1半導体チップの裏面が露出されるように、前記第1キャリア基板と前記第2キャリア基板との間に設けられた樹脂と、前記第1キャリア基板が実装されたマザー基板とを備えることを特徴とする。

【0021】

これにより、第1キャリア基板上にフェースダウン実装された第1半導体チッ

プの裏面が露出された状態で、パッケージングの異なる第2半導体チップを第1半導体チップ上に積層することが可能となり、第1半導体チップの熱放散性を確保しつつ、異種チップの3次元実装構造を実現することが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、裏面が露出されるように、第1半導体チップを第1キャリア基板上にフェースダウン実装する工程と、第2キャリア基板上に第2半導体チップを実装する工程と、前記第2半導体チップを封止樹脂で封止する工程と、前記第2キャリア基板が前記第1半導体チップ上に離間して保持されるように、前記突出電極を介して前記第2キャリア基板と前記第1キャリア基板とを接続する工程とを備えることを特徴とする。

【0022】

これにより、第1キャリア基板上に第2キャリア基板を積層した場合においても、第1キャリア基板上にフェースダウン実装された第1半導体チップの裏面を露出させることが可能となる。このため、第1半導体チップから発生した熱を効率よく逃がすことを可能としつつ、パッケージングの異なる第2半導体チップを第1半導体チップ上に積層することが可能となり、熱放散性を確保しつつ、異種チップの3次元実装構造を実現することが可能となる。

【0023】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記第2半導体チップを前記封止樹脂で封止する工程は、前記第2キャリア基板に実装された複数の第2半導体チップを封止樹脂で一体的にモールド成形する工程と、前記封止樹脂によりモールド成形された前記第2キャリア基板を前記第2半導体チップごとに切断する工程とを備えることを特徴とする。

【0024】

これにより、個々の第2半導体チップごとに封止樹脂をセル分割することなく、第2半導体チップを封止樹脂で封止することが可能となるとともに、第2キャリア基板の一面全体を封止樹脂で補強することが可能となる。

このため、第2半導体チップの種類またはサイズが異なる場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、セル分割するためのスペースが不要となることから

、第2キャリア基板上に搭載される第2半導体チップの搭載面積を増大させることが可能となる。

【0025】

また、本発明の一態様に係る電子デバイスの製造方法によれば、裏面が露出されるように第1キャリア基板上に第1電子部品を実装する工程と、第2キャリア基板上に第2電子部品を実装する工程と、前記第2電子部品を封止樹脂で封止する工程と、前記第2キャリア基板が前記第1電子部品上に離間して保持されるように、前記突出電極を介して前記第2キャリア基板と前記第1キャリア基板とを接続する工程とを備えることを特徴とする。

【0026】

これにより、第1キャリア基板上に第2キャリア基板を積層した場合においても、第1キャリア基板上にフェースダウン実装された第1電子部品の裏面を露出させることが可能となる。このため、第1電子部品から発生した熱を効率よく逃がすことを可能としつつ、パッケージングの異なる第2電子部品を第1電子部品上に積層することが可能となり、熱放散性を確保しつつ、異種部品の3次元実装構造を実現することが可能となる。

【0027】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図である。なお、この第1実施形態は、半導体チップ（または半導体ダイ）23がACF接合により実装された半導体パッケージPK11上に、スタックド構造の半導体チップ（または半導体ダイ）33a、33bがワイヤボンド接続された半導体パッケージPK12を積層したものである。

【0028】

図1において、半導体パッケージPK11にはキャリア基板21が設けられ、キャリア基板21の両面にはランド22a、22cがそれぞれ形成されるとともに、キャリア基板21内には内部配線22bが形成されている。そして、キャリ

ア基板 21 上には、裏面が露出するようにして半導体チップ 23 がフリップチップ実装され、半導体チップ 23 には、フリップチップ実装するための突出電極 24 が設けられている。そして、半導体チップ 23 に設けられた突出電極 24 は、異方性導電フィルム 25 を介してランド 22c 上に ACF (Anisotropic Conductive Film) 接合されている。また、キャリア基板 21 の裏面に設けられたランド 22a 上には、キャリア基板 21 をマザー基板上に実装するための突出電極 26 が設けられている。

【0029】

ここで、ACF 接合により半導体チップ 23 をキャリア基板 21 上に実装することにより、ワイヤボンダやモールド封止するためのスペースが不要となり、3 次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ 23 をキャリア基板 21 上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板 21 の反りを低減することが可能となる。

【0030】

一方、半導体パッケージ PK12 にはキャリア基板 31 が設けられ、キャリア基板 31 の両面にはランド 32a、32c がそれぞれ形成されるとともに、キャリア基板 31 内には内部配線 32b が形成されている。そして、キャリア基板 31 上には、接着層 34a を介し半導体チップ 33a がフェースアップ実装され、半導体チップ 33a は、導電性ワイヤ 35a を介してランド 32c にワイヤボンダ接続されている。さらに、半導体チップ 33a 上には、導電性ワイヤ 35a を避けるようにして、半導体チップ 33b がフェースアップ実装され、半導体チップ 33b は、接着層 34b を介して半導体チップ 33a 上に固定されるとともに、導電性ワイヤ 35b を介してランド 32c にワイヤボンダ接続されている。

【0031】

また、キャリア基板 31 の裏面に設けられたランド 32a 上には、キャリア基板 31 が半導体チップ 23 上に離間して保持されるように、キャリア基板 31 をキャリア基板 21 上に実装するための突出電極 36 が設けられている。ここで、突出電極 36 は、半導体チップ 23 の搭載領域を避けるようにして配置され、例えば、キャリア基板 31 の裏面の周囲に突出電極 36 を配置することができる。

そして、キャリア基板 21 上に設けられたランド 22c に突出電極 36 を接合させることにより、半導体チップ 23 の裏面が露出された状態で、キャリア基板 31 がキャリア基板 21 上に実装されている。

【0032】

これにより、キャリア基板 21 上にフェースダウン実装された半導体チップ 23 の裏面が露出された状態で、パッケージングの異なる半導体チップ 33a、33b を半導体チップ 23 上に積層することが可能となる。このため、キャリア基板 31 をキャリア基板 21 上に積層した場合においても、半導体チップ 23 の熱放散性を確保することが可能となるとともに、異種の半導体チップ 23、33a、33b の 3 次元実装構造を実現することが可能となる。

【0033】

また、半導体チップ 33a、33b は封止樹脂 37 により封止され、封止樹脂 37 は、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより形成することができる。

ここで、半導体チップ 33a、33b の実装面側のキャリア基板 31 の一面全体に、モールド成形により封止樹脂 37 を形成することにより、様々の種類の半導体チップ 33a、33b がキャリア基板 31 上に実装される場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、封止樹脂 37 をセル分割するためのスペースが不要となることから、キャリア基板 31 上に搭載される半導体チップ 33a、33b の搭載面積を増大させることが可能となる。

【0034】

なお、キャリア基板 21、31 としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板 21、31 の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BT レジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極 24、26、36 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができる。ここで、突出電極 26、36 として、例えば、半

田ボールを用いることにより、汎用のBGAを用いることで、異種パッケージPK11、PK12同士を積層することができ、製造ラインを流用することができる。また、導電性ワイヤ35a、35bとしては、例えば、AuワイヤやAlワイヤなどを用いることができる。また、上述した実施形態では、キャリア基板31をキャリア基板21上に実装するために、突出電極36をキャリア基板31のランド32a上に設ける方法について説明したが、突出電極36をキャリア基板21のランド22c上に設けるようにしてもよい。

【0035】

また、上述した実施形態では、ACF接合により半導体チップ23をキャリア基板21上に実装する方法について説明したが、例えば、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste) 接合などのその他の圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。さらに、上述した実施形態では、キャリア基板21上に半導体チップ23を1個だけ実装する方法を例にとりて説明したが、キャリア基板21上に複数の半導体チップを実装するようにしてもよい。

【0036】

図2は、本発明の第2実施形態に係る半導体装置の構成を示す断面図である。なお、この第2実施形態は、半導体チップ43がACF接合により実装された半導体パッケージPK21上に、スタックド構造の半導体チップ53a、53bがそれぞれフリップチップ実装およびワイヤボンド接続された半導体パッケージPK22を積層したものである。

【0037】

図2において、半導体パッケージPK21にはキャリア基板41が設けられ、キャリア基板41の両面にはランド42a、42cがそれぞれ形成されるとともに、キャリア基板41内には内部配線42bが形成されている。そして、キャリア基板41上には、裏面が露出するようにして半導体チップ43がフリップチップ実装され、半導体チップ43には、フリップチップ実装するための突出電極4

4 が設けられている。そして、半導体チップ 4 3 に設けられた突出電極 4 4 は、異方性導電フィルム 4 5 を介してランド 4 2 c 上に ACF 接合されている。また、キャリア基板 4 1 の裏面に設けられたランド 4 2 a 上には、キャリア基板 4 1 をマザー基板上に実装するための突出電極 4 6 が設けられている。

【0038】

ここで、ACF 接合により半導体チップ 4 3 をキャリア基板 4 1 上に実装することにより、ワイヤボンドやモールド封止するためのスペースが不要となり、3 次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ 4 3 をキャリア基板 4 1 上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板 4 1 の反りを低減することが可能となる。

【0039】

一方、半導体パッケージ PK 2 2 にはキャリア基板 5 1 が設けられ、キャリア基板 5 1 の両面にはランド 5 2 a、5 2 c がそれぞれ形成されるとともに、キャリア基板 5 1 内には内部配線 5 2 b が形成されている。そして、キャリア基板 5 1 上には半導体チップ 5 3 a がフリップチップ実装され、半導体チップ 5 3 a には、フリップチップ実装するための突出電極 5 5 a が設けられている。そして、半導体チップ 5 3 a に設けられた突出電極 5 5 a は、異方性導電フィルム 5 4 a を介してランド 5 2 c 上に ACF 接合されている。さらに、半導体チップ 5 3 a 上には、半導体チップ 5 3 b がフェースアップ実装され、半導体チップ 5 3 b は、接着層 5 4 b を介して半導体チップ 5 3 a 上に固定されるとともに、導電性ワイヤ 5 5 b を介してランド 5 2 c にワイヤボンド接続されている。

【0040】

ここで、フェースダウン実装された半導体チップ 5 3 a 上に半導体チップ 5 3 b をフェースアップ実装することにより、キャリア基板を介在させることなく、半導体チップ 5 3 a よりもサイズが同等かそれ以上の半導体チップ 5 3 b を半導体チップ 5 3 a 上に積層することが可能となり、実装面積を縮小することが可能となる。

【0041】

また、キャリア基板 5 1 の裏面に設けられたランド 5 2 a 上には、キャリア基

板 5 1 が半導体チップ 4 3 上に離間して保持されるようにして、キャリア基板 5 1 をキャリア基板 5 1 上に実装するための突出電極 5 6 が設けられている。ここで、突出電極 5 6 は、半導体チップ 4 3 の搭載領域を避けるようにして配置され、例えば、キャリア基板 5 1 の裏面の周囲に突出電極 5 6 を配置することができる。そして、キャリア基板 4 1 上に設けられたランド 4 2 c に突出電極 5 6 を接合させることにより、半導体チップ 4 3 の裏面が露出された状態で、キャリア基板 5 1 がキャリア基板 4 1 上に実装されている。

【0042】

これにより、キャリア基板 4 1 上にフェースダウン実装された半導体チップ 4 3 の裏面が露出された状態で、パッケージングの異なる半導体チップ 5 3 a、5 3 b を半導体チップ 4 3 上に積層することが可能となる。このため、キャリア基板 5 1 をキャリア基板 4 1 上に積層した場合においても、半導体チップ 4 3 の熱放散性を確保することが可能となるとともに、異種の半導体チップ 4 3、5 3 a、5 3 b の 3 次元実装構造を実現することが可能となる。

【0043】

なお、突出電極 4 6、5 6 としては、例えば、半田ボールを用いることができる。これにより、汎用の BGA を用いることで、異種パッケージ PK 2 1、PK 2 2 同士を積層することができ、製造ラインを流用することができる。

また、半導体チップ 5 3 a、5 3 b は封止樹脂 5 7 により封止され、封止樹脂 5 7 は、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより形成することができる。

【0044】

ここで、半導体チップ 5 3 a、5 3 b の実装面側のキャリア基板 5 1 の一面全体に、モールド成形により封止樹脂 5 7 を形成することにより、様々の種類の半導体チップ 5 3 a、5 3 b がキャリア基板 5 1 上に実装される場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、封止樹脂 5 7 をセル分割するためのスペースが不要となることから、キャリア基板 5 1 上に搭載される半導体チップ 5 3 a、5 3 b の搭載面積を増大させることが可能となる。

【0045】

図3は、本発明の第3実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第3実施形態は、複数の半導体チップ62a～62cを封止樹脂64で一体的にモールド成形した後、個々の半導体チップ62a～62cごとに切断することにより、半導体チップ62a～62cがそれぞれ実装されたキャリア基板61a～61の一面全体に封止樹脂64a～64cをそれぞれ形成するようになったものである。

【0046】

図3(a)において、キャリア基板61には、複数の半導体チップ62a～62cを搭載する搭載領域が設けられている。そして、複数の半導体チップ62a～62cをキャリア基板61上に実装し、導電性ワイヤ63a～63cをそれぞれ介してキャリア基板61にワイヤボンド接続する。なお、半導体チップ62a～62cをワイヤボンド接続する方法以外にも、半導体チップ62a～62cをキャリア基板61上にフリップチップ実装するようにしてもよく、半導体チップ62a～62cの積層構造をキャリア基板61上に実装してもよい。

【0047】

次に、図3(b)に示すように、キャリア基板61上に実装された複数の半導体チップ62a～62cを封止樹脂64で一体的にモールド成形する。ここで、複数の半導体チップ62a～62cを封止樹脂64で一体的にモールド成形することにより、様々の種類の半導体チップ62a～62cがキャリア基板61上に実装される場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、封止樹脂64をセル分割するためのスペースが不要となることから、キャリア基板61上に搭載される半導体チップ62a～62cの搭載面積を増大させることが可能となる。

【0048】

次に、図3(c)に示すように、半田ボールなどの突出電極65a～65cを各キャリア基板61a～61cの裏面に形成する。そして、図3(d)に示すように、キャリア基板61および封止樹脂64を個々の半導体チップ62a～62cごとに切断することにより、半導体チップ62a～62cが封止樹脂64a～

64cでそれぞれ封止されたキャリア基板61a～61cごとに分割する。また、個々の半導体チップを切断した後に、はんだボールなどの突出電極を形成しても良い。

【0049】

ここで、キャリア基板61および封止樹脂64を一体的に切断することにより、半導体チップ62a～62cの実装面側のキャリア基板61a～61cの一面全体に封止樹脂64a～64cをそれぞれ形成することが可能となる。このため、製造工程の複雑化を抑制しつつ、突出電極65a～65cの配置領域の剛性を向上させることが可能となり、キャリア基板61a～61cの反りを低減させることが可能となる。

【0050】

図4は、本発明の第4実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第4実施形態は、半導体チップ73がACF接合により実装された半導体パッケージPK31上に、封止樹脂84で封止された半導体パッケージPK32を積層したものである。

図4(a)において、半導体パッケージPK31にはキャリア基板71が設けられ、キャリア基板71の両面にはランド72a、72bがそれぞれ形成されている。そして、キャリア基板71上には半導体チップ73がフリップチップ実装され、半導体チップ73には、フリップチップ実装するための突出電極74が設けられている。そして、半導体チップ73に設けられた突出電極74は、異方性導電フィルム75を介してランド72b上にACF接合されている。

【0051】

一方、半導体パッケージPK32にはキャリア基板81が設けられ、キャリア基板81の裏面にはランド82が形成され、ランド82上には半田ボールなどの突出電極83が設けられている。また、キャリア基板81上には半導体チップが実装され、半導体チップが実装されたキャリア基板81の一面全体は、封止樹脂84で封止されている。なお、キャリア基板81上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよ

い。

【0052】

そして、半導体パッケージPK31上に半導体パッケージPK32を積層する場合、キャリア基板71のランド72b上にフラックス76を供給する。なお、キャリア基板71のランド72b上には、フラックス76の代わりに半田ペーストを供給してもよい。

次に、図4(b)に示すように、半導体パッケージPK31上に半導体パッケージPK32をマウントし、リフロー処理を行うことにより、突出電極83をランド72b上に接合させる。

【0053】

次に、図4(c)に示すように、キャリア基板71の裏面に設けられたランド72a上に、キャリア基板71をマザー基板上に実装するための突出電極77を形成する。

図5は、本発明の第5実施形態に係る半導体装置の構成を示す断面図である。なお、この第5実施形態は、半導体チップ103がフリップチップ実装されたキャリア基板101上に、スタックド構造の半導体チップ113a～113cを3次元実装するようにしたものである。

【0054】

図5において、半導体パッケージPK41にはキャリア基板101が設けられ、キャリア基板101の両面にはランド102a、102cがそれぞれ形成されるとともに、キャリア基板101内には内部配線102bが形成されている。そして、キャリア基板101上には、裏面が露出するようにして半導体チップ103がフリップチップ実装され、半導体チップ103には、フリップチップ実装するための突出電極104が設けられている。そして、半導体チップ103に設けられた突出電極104は、異方性導電フィルム105を介してランド102c上にACF接合されている。なお、半導体チップ103をキャリア基板101上に実装する場合、ACF接合を用いる方法以外にも、例えば、NCF接合や、NCP接合、ACP接合などのその他の圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板1

01の裏面に設けられたランド102a上には、キャリア基板101をマザー基板上に実装するための突出電極106が設けられている。

【0055】

一方、半導体パッケージPK42にはキャリア基板111が設けられ、キャリア基板111の両面にはランド112a、112cがそれぞれ形成されるとともに、キャリア基板111内には内部配線112bが形成されている。

また、半導体チップ113a～113cには、電極パッド114a～114cがそれぞれ設けられるとともに、各電極パッド114a～114cが露出するようにして、絶縁膜115a～115cがそれぞれ設けられている。そして、半導体チップ113a～113cには、例えば、各電極パッド114a～114cの位置に対応して、貫通孔116a～116cがそれぞれ形成され、貫通孔116a～116c内には、絶縁膜117a～117cおよび導電膜118a～118cをそれぞれ介して、貫通電極119a～119cがそれぞれ形成されている。そして、貫通電極119a～119cが形成された半導体チップ113a～113cは、貫通電極119a～119cをそれぞれ介して積層され、半導体チップ113a～113c間の隙間には樹脂120a、120bがそれぞれ注入されている。

【0056】

また、半導体チップ113aに形成された貫通電極119a上には、半導体チップ113a～113cの積層構造をフリップチップ実装するための突出電極121が設けられている。そして、キャリア基板111上に設けられたランド112c上に突出電極121が接合されるとともに、キャリア基板111上に実装された半導体チップ113aの表面が封止樹脂122で封止され、半導体チップ113a～113cの積層構造がキャリア基板111上に実装されている。

【0057】

また、キャリア基板111の裏面に設けられたランド112a上には、キャリア基板111が半導体チップ103上に離間して保持されるように、キャリア基板111をキャリア基板101上に実装するための突出電極123が設けられている。

ここで、突出電極 123 は、半導体チップ 103 の搭載領域を避けるようにして配置され、例えば、キャリア基板 111 の周囲に突出電極 123 を配置することができる。そして、キャリア基板 101 上に設けられたランド 102c 上に突出電極 123 を接合させることにより、半導体チップ 103 の裏面が露出された状態で、キャリア基板 111 がキャリア基板 101 上に実装されている。

【0058】

これにより、半導体チップ 113a～113c の積層構造と半導体チップ 103 との間にキャリア基板を介在させることなく、半導体チップ 103 の裏面が露出された状態で、半導体チップ 103 上に半導体チップ 111a～111c の積層構造をフリップチップ実装することが可能となる。このため、積層時の高さの増大を抑制しつつ、半導体チップ 103 の熱放散性を確保することが可能となり、3次元実装された半導体チップ 103、113a～113c の信頼性の劣化を抑制しつつ、半導体チップ 103 と異なる種類の半導体チップ 113a～113c を複数積層することが可能となる。

【0059】

なお、突出電極 104、106、121、123 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、半導体チップ 113a～113c の 3 層構造をキャリア基板 111 上に実装する方法について説明したが、キャリア基板 111 上に実装される半導体チップの積層構造は、2 層または 4 層以上であってもよい。

【0060】

図 6 は、本発明の第 6 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 8 実施形態は、半導体チップ 203 がフリップチップ実装されたキャリア基板 201 上に、W-CSP（ウエハレベルチップサイズパッケージ）を 3 次元実装するようにしたものである。

図 6 において、半導体パッケージ PK51 にはキャリア基板 201 が設けられ、キャリア基板 201 の両面にはランド 202a、202c がそれぞれ形成されるとともに、キャリア基板 201 内には内部配線 202b が形成されている。そ

して、キャリア基板201上には、裏面が露出するようにして半導体チップ203がフリップチップ実装され、半導体チップ203には、フリップチップ実装するための突出電極204が設けられている。そして、半導体チップ203に設けられた突出電極204は、異方性導電フィルム205を介してランド202c上にACF接合されている。また、キャリア基板201の裏面に設けられたランド202a上には、キャリア基板201をマザー基板上に実装するための突出電極206が設けられている。

【0061】

一方、半導体パッケージPK52には半導体チップ211が設けられ、半導体チップ211には、電極パッド212が設けられるとともに、電極パッド212が露出するようにして、絶縁膜213が設けられている。そして、半導体チップ211上には、電極パッド212が露出するようにして応力緩和層214が形成され、電極パッド212上には、応力緩和層214上に延伸された再配置配線215が形成されている。そして、再配置配線215上にはソルダレジスト膜216が形成され、ソルダレジスト膜216には、応力緩和層214上において再配置配線215を露出させる開口部217が形成されている。そして、開口部217を介して露出された再配置配線215上には、半導体パッケージPK52が半導体チップ203上に離間して保持されるように、半導体チップ211をキャリア基板201上にフェースダウン実装するための突出電極218が設けられている。

【0062】

ここで、突出電極218は、半導体チップ203の搭載領域を避けるようにして配置され、例えば、半導体チップ211の周囲に突出電極218を配置することができる。そして、キャリア基板201上に設けられたランド202c上に突出電極218が接合され、半導体チップ203の裏面が露出された状態で、半導体パッケージPK52がキャリア基板201上に実装されている。

【0063】

これにより、半導体チップ203がフリップチップ実装されたキャリア基板201上にW-CSPを積層することができる。このため、半導体チップ203、

211の種類またはサイズが異なる場合においても、半導体チップ203、211間にキャリア基板を介在させることなく、半導体チップ203の裏面が露出された状態で、半導体チップ203上に半導体チップ211を3次元実装することが可能となる。この結果、半導体チップ203、211積層時の高さの増大を抑制しつつ、半導体チップ203の熱放散性を確保することが可能となり、3次元実装された半導体チップ203、211の信頼性の劣化を抑制しつつ、半導体チップ203、211実装時の省スペース化を図ることが可能となる。

【0064】

なお、半導体パッケージPK52をキャリア基板201上に実装する場合、例えば、ACF接合やNCF接合などの圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極204、206、218としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、キャリア基板201上にフリップチップ実装された1個の半導体チップ203上に半導体パッケージPK52を実装する方法を例にとって説明したが、キャリア基板201上にフリップチップ実装された複数の半導体チップ上に半導体パッケージPK52を実装するようにしてもよい。

【0065】

なお、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとって説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弾性表面波 (SAW) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

【図面の簡単な説明】

【図1】 第1実施形態に係る半導体装置の構成を示す断面図。

【図 2】 第 2 実施形態に係る半導体装置の構成を示す断面図。

【図 3】 第 3 実施形態に係る半導体装置の構成を示す断面図。

【図 4】 第 4 実施形態に係る半導体装置の製造方法を示す断面図。

【図 5】 第 5 実施形態に係る半導体装置の製造方法を示す断面図。

【図 6】 第 6 実施形態に係る半導体装置の構成を示す断面図。

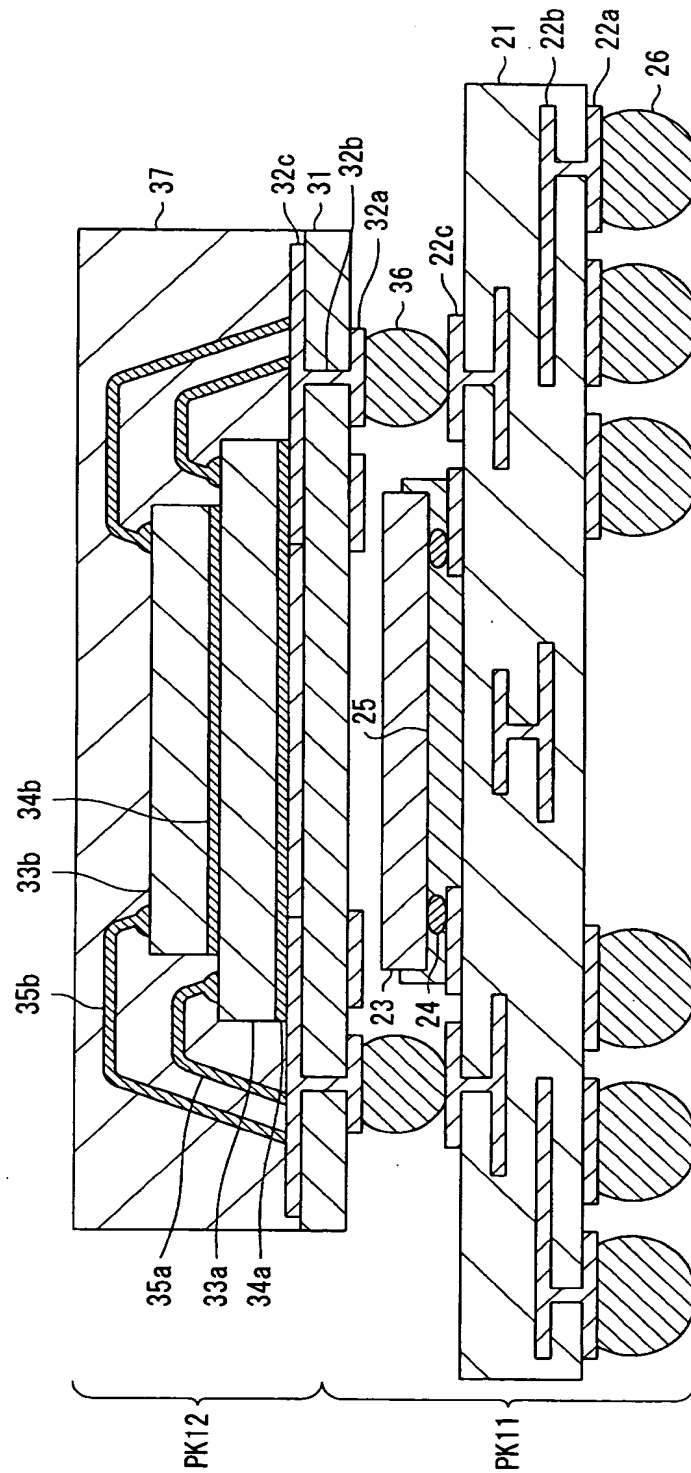
【符号の説明】

21、31、41、51、61、61a～61c、71、81、101、111、201 キャリア基板、22a、22c、32a、32c、42a、42c、52a、52c、72a、72b、82、102a、102c、112a、112c、202a、202c ランド、22b、32b、42b、52b、102b、112b、202b 内部配線、23、33a、33b、43、53a、53b、62a～62c、73、103、113a～113c、203、211 半導体チップ、24、26、36、44、46、55a、56、65a～65c、74、77、83、104、121、123、206、218 突出電極、25、45、54a、75、105、205 異方性導電フィルム、34a、34b、54b 接着層、15、35a、35b、55b、63a～63c 導電性ワイヤ、37、57、64、64a～64c、84、120a、120b、122 封止樹脂、76 フラックス、114a～114c、212 電極パッド、115a～115c、117a～117c、213 絶縁膜、116a～116c 貫通孔、118a～118c 導電膜、119a～119c 貫通電極、214 応力緩和層、215 再配置配線、216 ソルダレジスト層、217 開口部、PK11、PK12、PK21、PK22、PK31、PK32、PK41、PK42、PK51、PK52 半導体パッケージ

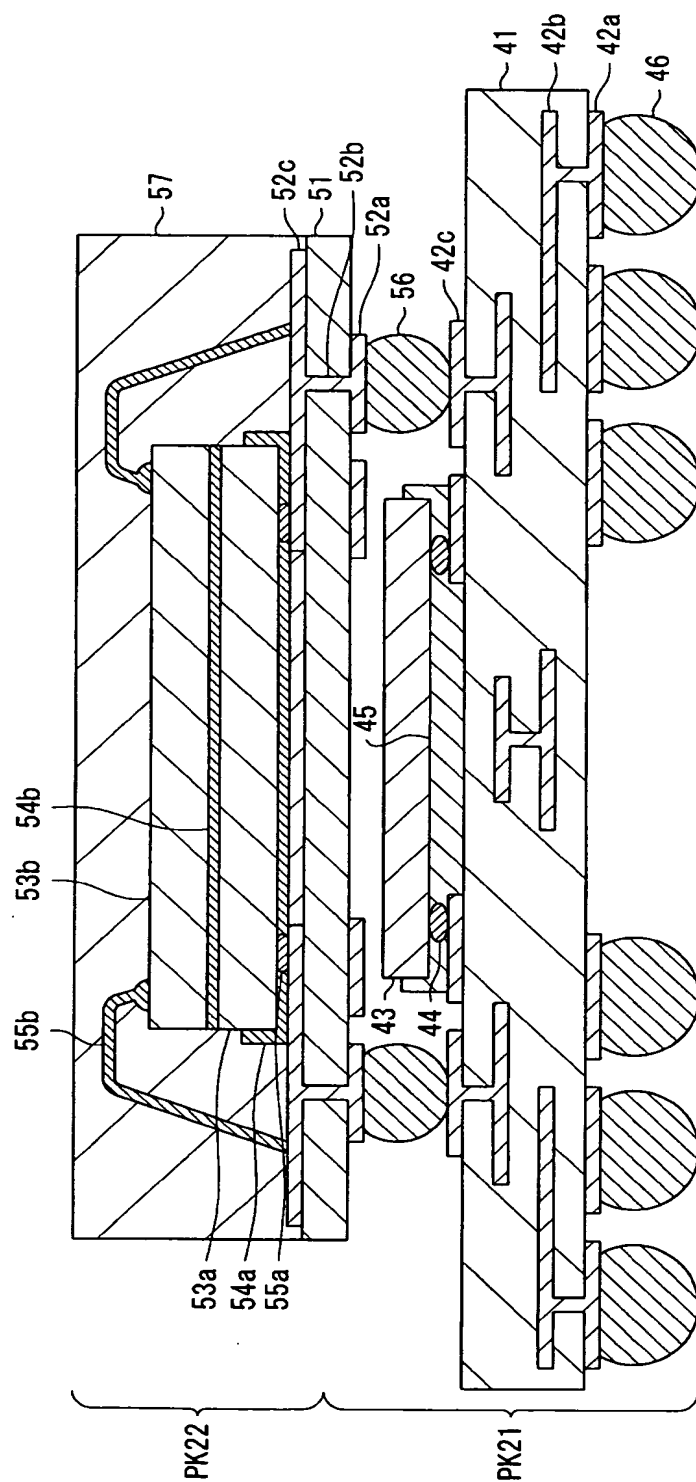
【書類名】

図面

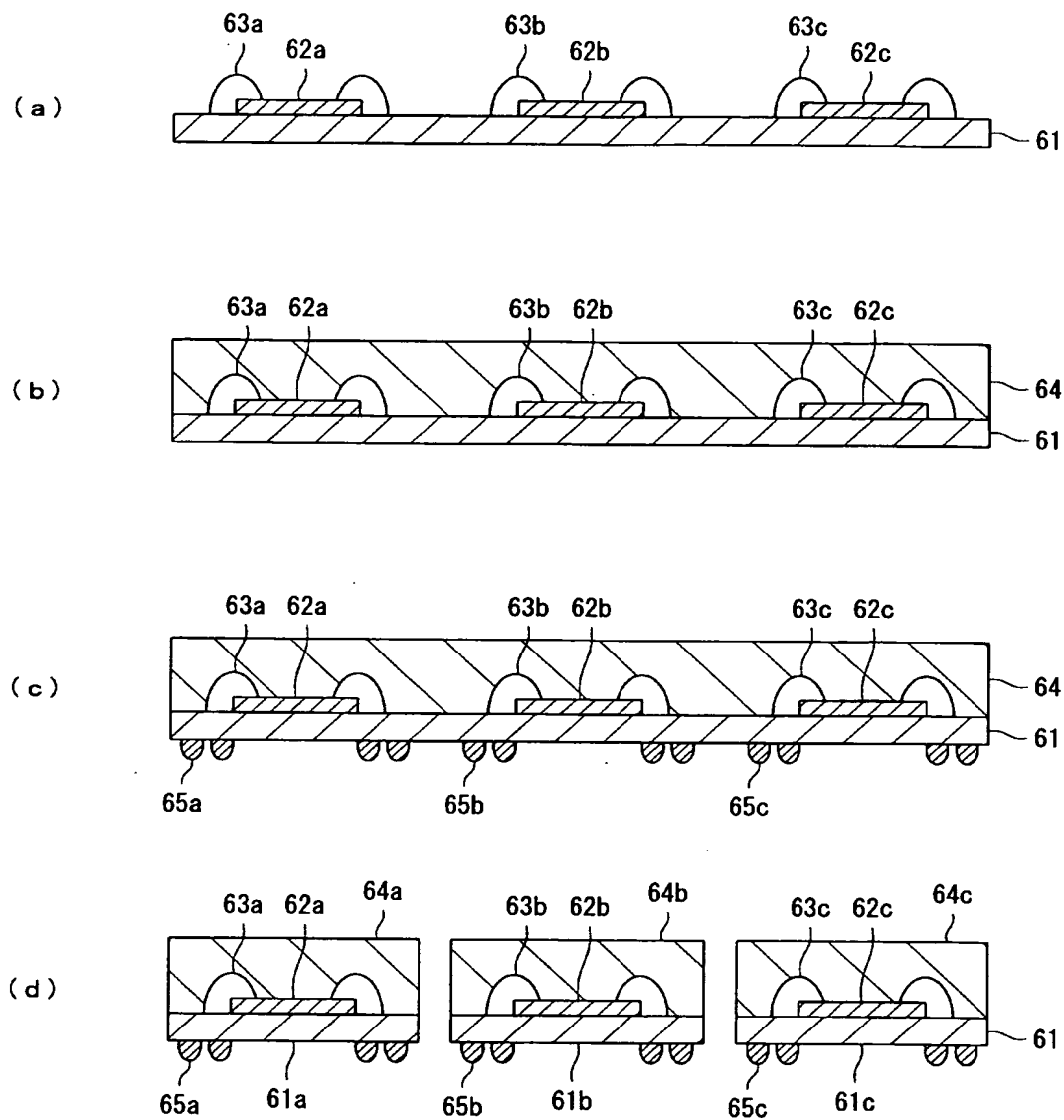
【図 1】



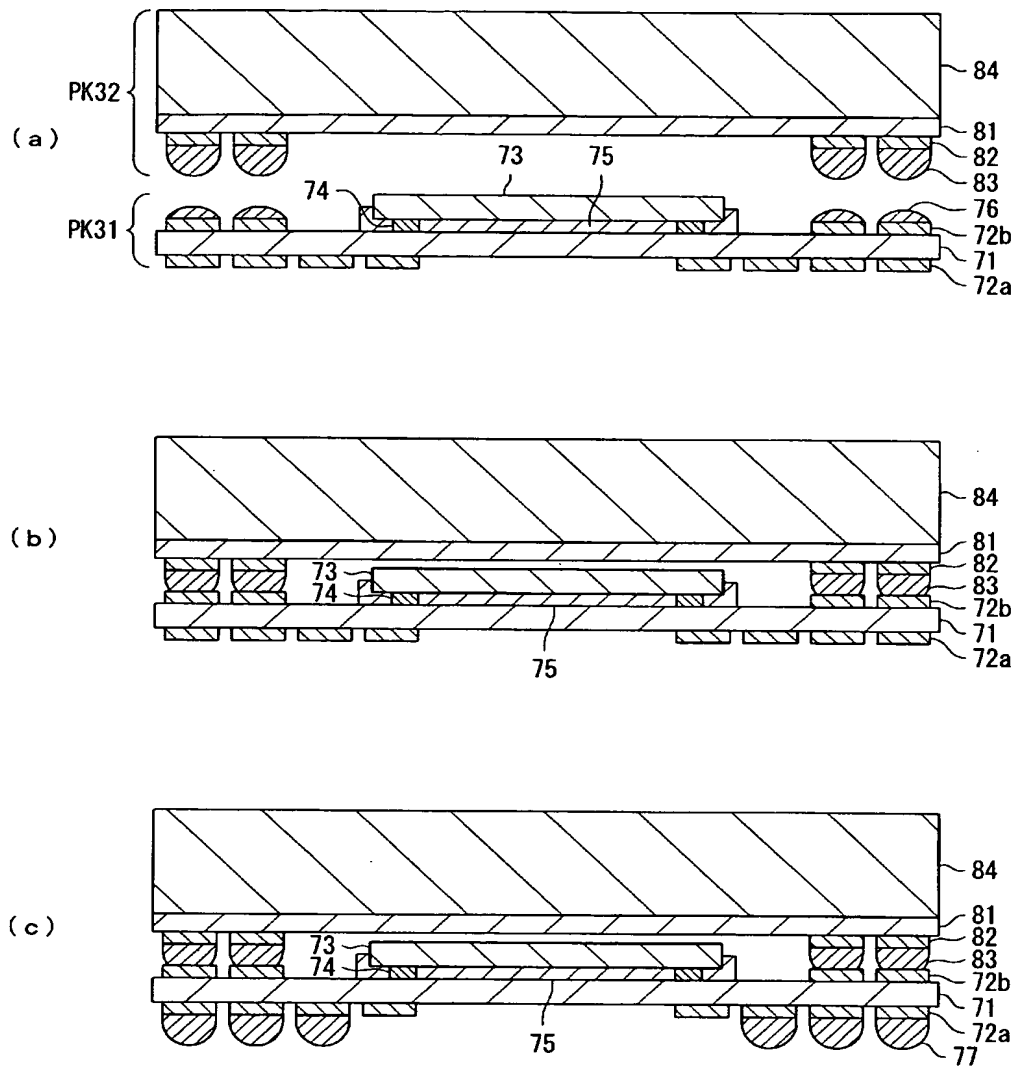
【図 2】



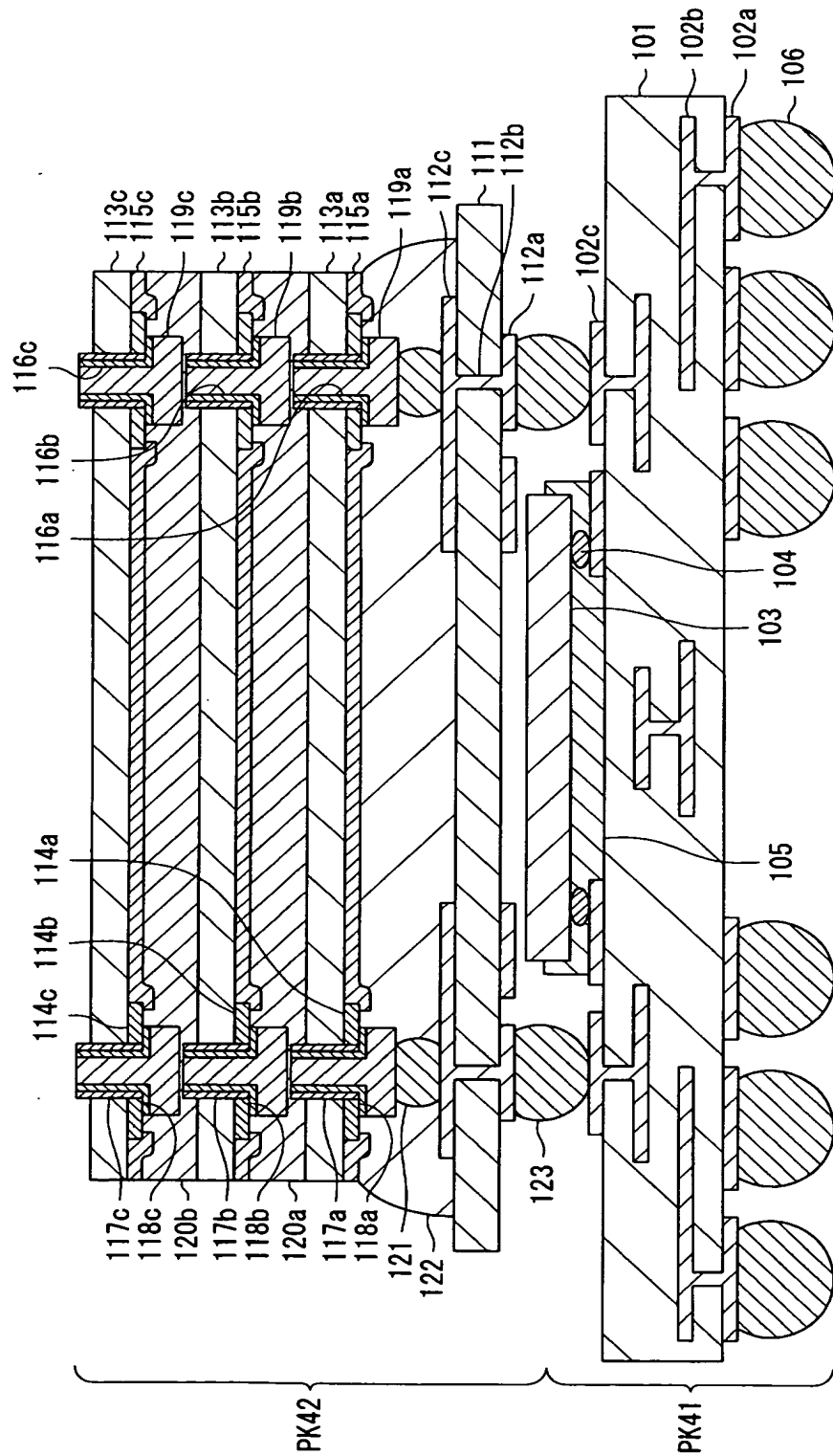
【図 3】



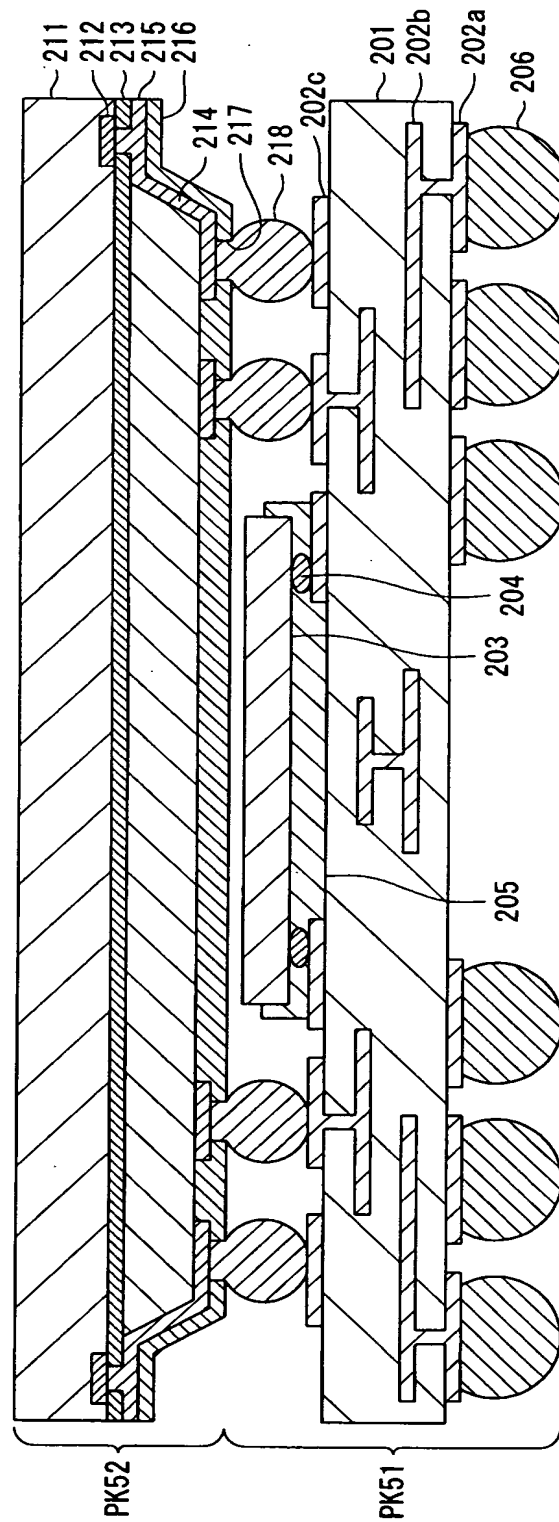
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 熱放散性を確保しつつ、異種チップの 3 次元実装構造を実現する。

【解決手段】 半導体チップ 2 3 が A C F 接合により実装された半導体パッケージ P K 1 1 上に、スタックド構造の半導体チップ 3 3 a、3 3 b がワイヤボンダ接続された半導体パッケージ P K 1 2 を積層し、半導体チップ 2 3 の裏面が露出された状態で、キャリア基板 3 1 をキャリア基板 2 1 上に実装する。

【選択図】 図 1

特願 2 0 0 3 - 0 7 4 2 1 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社